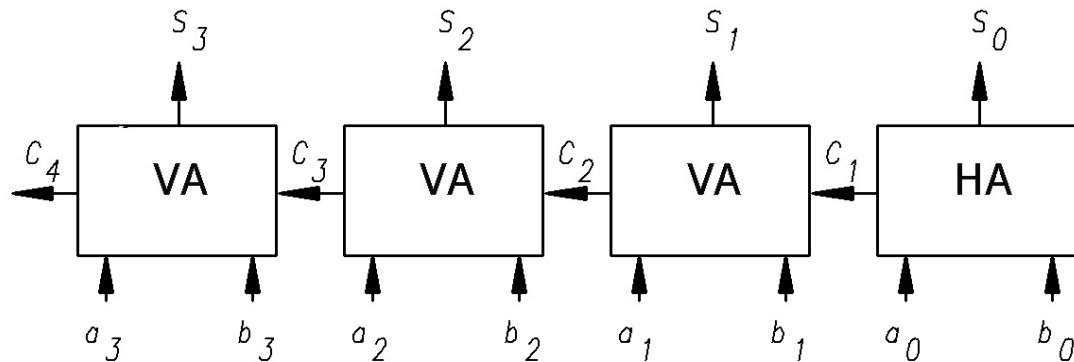


Addier-Schaltungen für Dualzahlen (hier: 4-Bit-Addierer)

$$\begin{array}{r}
 + \quad \begin{array}{cccc} a_3 & a_2 & a_1 & a_0 \\ b_3 & b_2 & b_1 & b_0 \end{array} \\
 \hline
 \begin{array}{cccc} s_4 & s_3 & s_2 & s_1 & s_0 \end{array}
 \end{array}$$

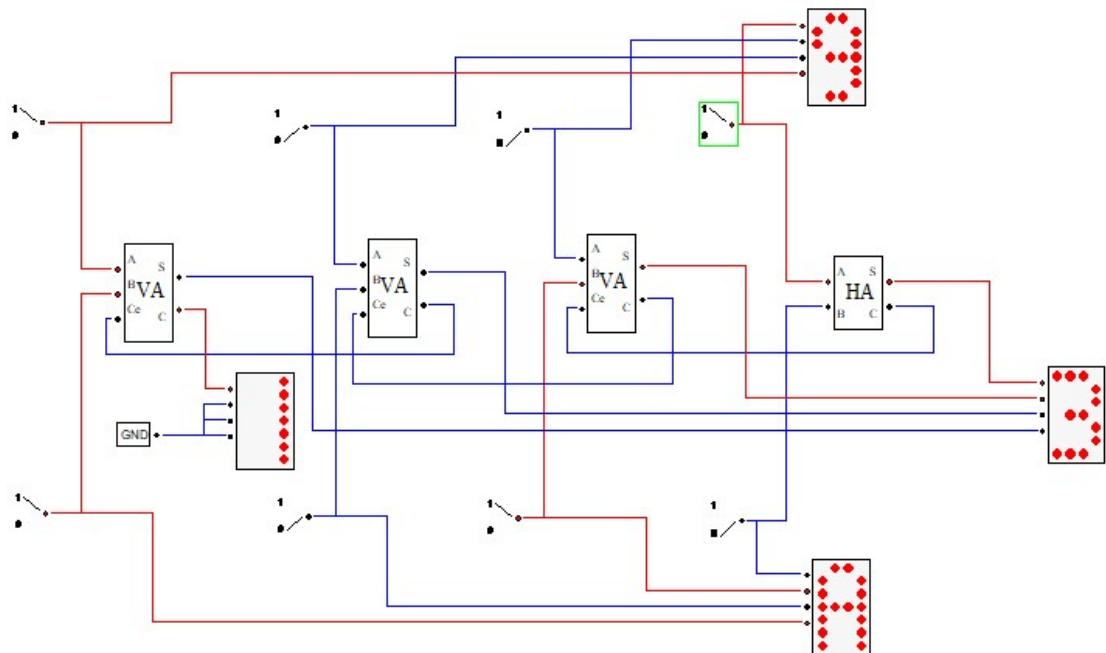
1. Paralleladdierer mit seriellem Übertrag

Für das Least Significant Bit (LSB) genügt ein Halbaddierer (HA); die höherwertigen Bits erfordern jeweils einen Volladdierer, da hier der Übertrag aus der vorherigen Stelle zu berücksichtigen ist.



Beachte:

Das Most Significant Bit s_4 des Ergebnisses (hier: der aus den Ziffern s_4, \dots, s_0 bestehenden Summe) erhalten wir als den Übertrag (carry) c_4 , der auch als Überlauf bezeichnet wird.

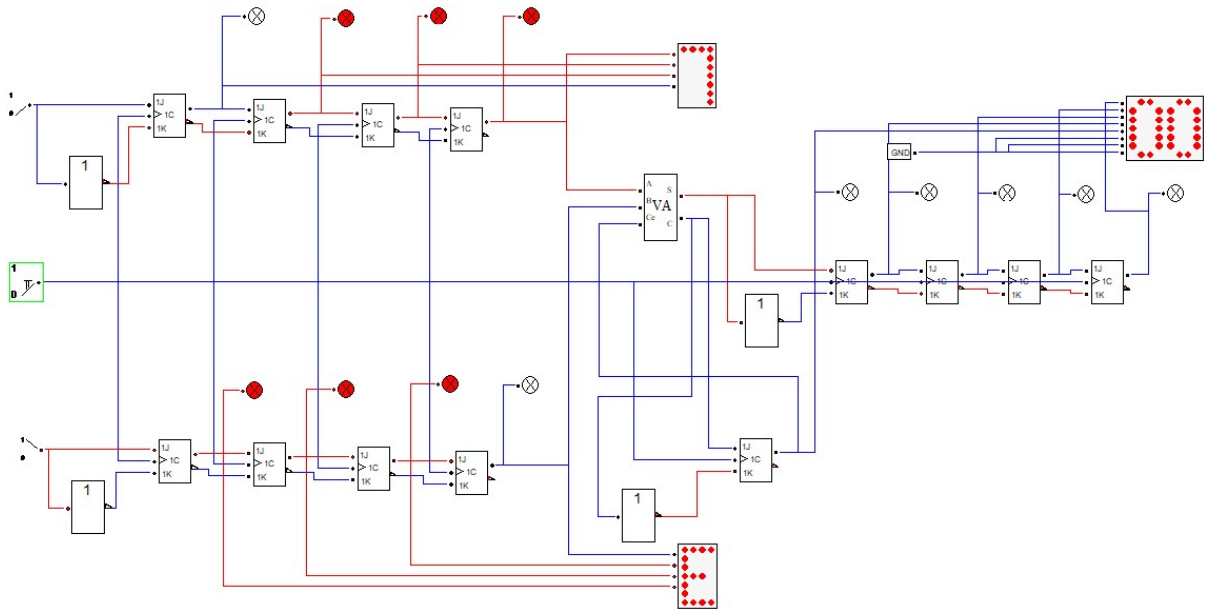


Dezimal:	09	Hexadezimal:	09	Dual:	0000 1001
	+ 10		+ 0A		+ 0000 1010
	<hr/> 19		<hr/> 13		<hr/> 0001 0011

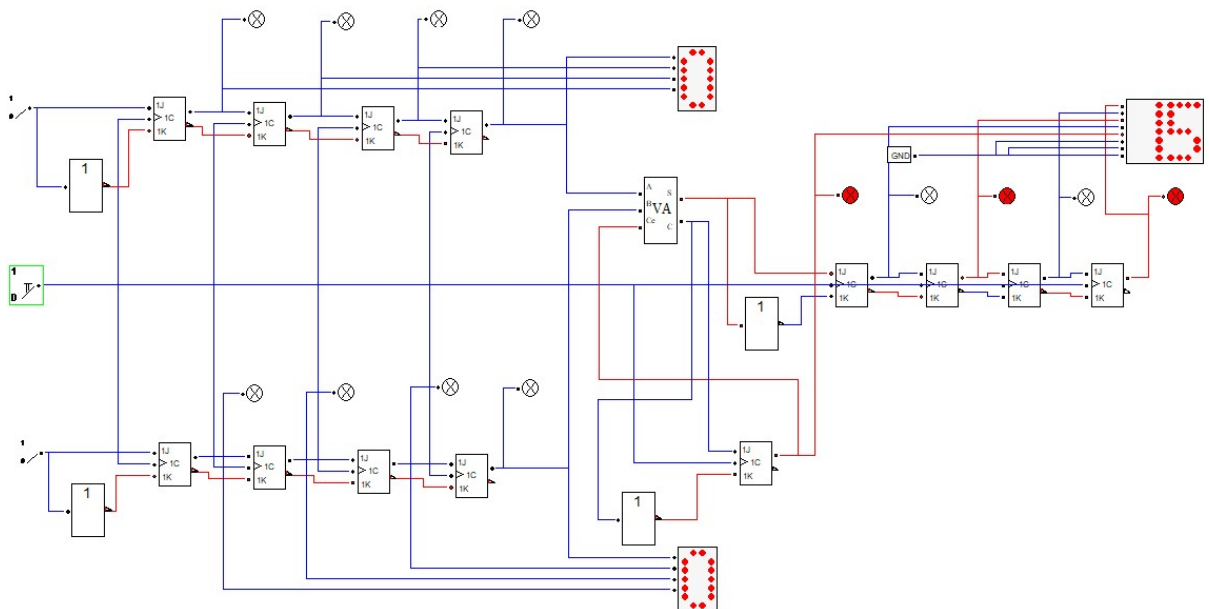
2. Serieller 1-Bit-Addierer für 4-stellige Dualzahlen

Die Operanden (hier: die Summanden **a** und **b**) werden jeweils in einem 4-Bit-Schieberegister abgelegt; nach 4 Taktimpulsen finden wir das 5-Bit-breite Ergebnis (hier: die Summe **s**) in einem weiteren 4-Bit-Schieberegister in Verbindung mit einem Flip-Flop für das MSB.

Da der Übertrag aus der vorherigen Stelle für die Addition in der jeweils aktuellen Stelle zu berücksichtigen ist, wird er in einem Flip-Flop zwischengespeichert. Dieses Flip-Flop liefert auch das Most Significant Bit (MSB) des Ergebnisses.



Nach 4 Taktimpulsen (hier: Triggerung der Flip-Flops auf der steigenden Taktflanke) sind die Schieberegister für die Operanden geleert, das Schieberegister für das Ergebnis enthält zusammen mit dem im Flip-Flop gespeicherten MSB das Ergebnis:



Dezimal:	07	Hexadezimal:	07	Dual:	0000 0111
	+ 14		+ 0E		+ 0000 1110
	<hr/> 21		<hr/> 15		<hr/> 0001 0101